

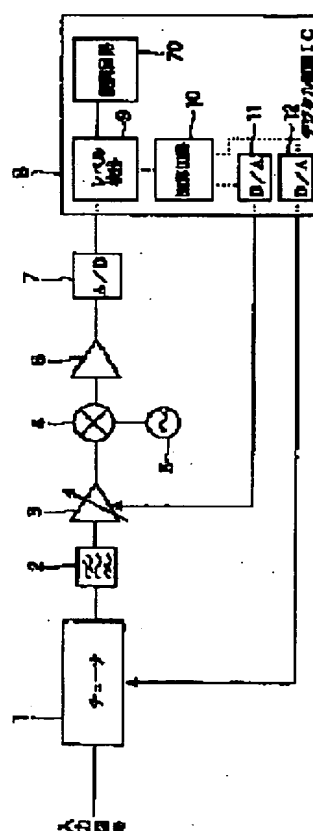
# RECEIVER

**Patent number:** JP2000209118  
**Publication date:** 2000-07-28  
**Inventor:** AKIYAMA TOSHIFUMI  
**Applicant:** SHARP KK  
**Classification:**  
- international: H04B1/26; H03G3/20; H04B1/16; H04L27/38  
- european:  
**Application number:** JP19990007204 19990114  
**Priority number(s):** JP19990007204 19990114

Report a data error here

## Abstract of JP2000209118

**PROBLEM TO BE SOLVED:** To obtain an optimum AGC characteristic without caring about dispersion in a gain of a tuner and a deviation in a gain between channels by controlling a gain of a plurality of amplifier stages before and after frequency conversion of an input signal into an IF signal in a receiver with an AGC circuit used for a tuner of a digital CATV. **SOLUTION:** A gain of an RF AGC amplifier in a tuner and a gain of an IF AGC amplifier 3 that are used for AGC are controlled respectively by respective control signals so that an input to an A/D converter 7 before digital demodulation is controlled constant. A level detection section 9 of the receiver detects a level of the input signal A/D-converted by the A/D converter 7, each control signal required for the gain control is obtained through an arithmetic processing, and D/A-converted respectively by D/A converters 11, 12 and fed to the tuner 1 and the IF AGC amplifier 3.



**THIS PAGE BLANK (USPTO,**

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-209118

(P2000-209118A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int. Cl. <sup>7</sup>	識別記号	F I	テーマト*(参考)
H 0 4 B	1/26	H 0 4 B	1/26 N 5J100
H 0 3 G	3/20	H 0 3 G	3/20 C 5K004
H 0 4 B	1/16	H 0 4 B	1/16 R 5K020
H 0 4 L	27/38	H 0 4 L	27/00 G 5K061

審査請求 未請求 請求項の数5

O L

(全13頁)

(21)出願番号 特願平11-7204

(22)出願日 平成11年1月14日(1999.1.14)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 秋山 利文

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74)代理人 100085501

弁理士 佐野 静夫

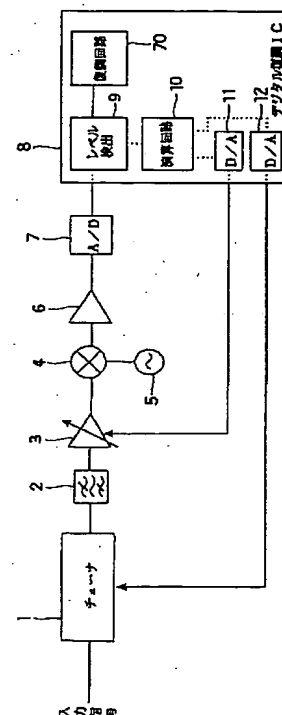
最終頁に続く

(54)【発明の名称】 受信機

(57)【要約】

【課題】 デジタルCATVのチューナなどに用いられるAGC回路を有する受信機で、入力信号をIF信号に周波数変換する前後で複数段利得を制御する。このとき、チューナの利得のばらつきやチャンネル間の利得の偏差を気にすることなく、最適なAGC特性が得られるようにする。

【解決手段】 デジタル復調を行う前のA/Dコンバータ7への入力が一定レベルとなるように、入力信号のAGC制御のためのRF AGC増幅器と、IF AGC増幅器3とをそれぞれコントロール信号で利得の制御を行う。受信機はA/Dコンバータ7でA/D変換された入力信号のレベル検出をレベル検出部9で行い、各コントロール信号をそれぞれ計算処理により求め、それぞれD/Aコンバータ11、12でD/A変換してチューナ1、IF AGC増幅器3に出力する。



## 【特許請求の範囲】

【請求項1】 デジタル放送のRF信号を増幅するRF AGC増幅器を内蔵し希望するチャンネルを選択してIF信号に変換するチューナと、前記IF信号を増幅するIF AGC増幅器と、前記IF AGC増幅器で増幅された信号を一定周波数の信号と混合してベースバンド信号に変換するミキサと、前記ベースバンド信号をA/D変換するA/Dコンバータと、前記A/Dコンバータより出力される前記ベースバンド信号をデジタル復調するデジタル復調処理回路とを備えた受信機において、前記デジタル復調処理回路は前記ベースバンド信号のレベルを検出するレベル検出部と、前記RF AGC増幅器の利得と前記IF AGC増幅器の利得をそれぞれ独立に変化させて前記ベースバンド信号をデジタル復調できる状態に自動的に設定する演算回路とを備えたことを特徴とする受信機。

【請求項2】 前記演算回路は前記RF AGC増幅器の利得と前記IF AGC増幅器の利得の一方を可変領域の一端に固定し、他方を一端から他端に向かって変化させ、他端に達しても前記デジタル復調処理回路が前記ベースバンド信号をデジタル復調しえないときは、前記他方を他端に固定したまま前記一方を一端から他端に向かって変化させるように制御を切り替えて前記ベースバンド信号をデジタル復調できる状態に自動的に設定することを特徴とする請求項1に記載の受信機。

【請求項3】 制御の切り替えの基準利得となる切り替え点を各チャンネルごとに記憶領域に記憶しておき、前記演算回路は受信チャンネルの切り替え点を前記記憶領域より読み取り、前記IF AGC増幅器の利得と前記RF AGC増幅器の利得を前記切り替え点に設定し、そのときの前記レベル検出部で検出された前記ベースバンド信号のレベルと前記切り替え点での利得における前記ベースバンド信号の本来のレベルに対応する基準レベルを比較して、その比較結果に応じてRF AGC増幅器とIF AGC増幅器の利得のどちらか一方の利得を最大又は最小に固定し、その後は他方の利得を変化させて前記ベースバンド信号をデジタル復調できる状態に自動的に設定することを特徴とする請求項1に記載の受信機。

【請求項4】 前記演算回路が前記レベル検出部で検出された前記ベースバンド信号のレベルと前記基準レベルを比較した結果によって利得を可変する第1の利得コントロール信号と利得を固定する第2の利得コントロール信号を出力するとともに前記第1の利得コントロール信号と前記第2の利得コントロール信号をD/A変換するD/Aコンバータと、D/A変換された前記第1の利得コントロール信号を前記RF AGC増幅器に出力しD/A変換された前記第2の利得コントロール信号をIF AGC増幅器に出力するか、D/A変換された前記第1の利得コントロール信号を前記IF AGC増幅器に出力しD/A変換された前記第2の利得コントロール信号をR

FAGC増幅器に出力するかを前記演算回路の制御によって切り替えるスイッチとを備えたことを特徴とする請求項3に記載の受信機。

【請求項5】 デジタル放送のRF信号を増幅するRF AGC増幅器を内蔵し希望するチャンネルを選択してIF信号に変換するチューナと、前記IF信号を増幅するIF AGC増幅器と、前記IF AGC増幅器で増幅された信号を一定周波数の信号と混合してベースバンド信号に変換するミキサと、前記ベースバンド信号をA/D変換するA/Dコンバータと、前記A/Dコンバータより出力される前記ベースバンド信号をデジタル復調するデジタル復調処理回路とを備えた受信機において、前記デジタル復調処理回路は前記ベースバンド信号のレベルを検出してデジタルの検出結果を出力するレベル検出部と、前記検出結果をD/A変換するD/Aコンバータとを備え、前記D/Aコンバータより出力されるアナログ信号を処理して前記RF AGC増幅器の利得と前記IF AGC増幅器の利得の一方を変化させ他方を固定する制御を行うアナログ回路を有し、前記アナログ回路は、前記アナログ信号と第1の一定電圧との差を増幅して前記第1の一定電圧に加える第1の増幅回路と、前記第1の増幅回路の出力の低域の周波数成分のみを通過させるローパスフィルタと、前記ローパスフィルタの出力と前記第1の一定電圧よりも高い第2の一定電圧との差を前記第1の増幅回路の利得よりも高い利得で増幅して前記第2の一定電圧に加えて前記RF AGC増幅器の利得を制御するコントロール信号を出力する第2の増幅回路と、前記ローパスフィルタの出力と前記第1の一定電圧よりも低い第3の一定電圧との差を前記第1の増幅回路の利得よりも高い利得で増幅して前記第3の一定電圧に加えて前記IF AGC増幅器の利得を制御するコントロール信号を出力する第3の増幅回路とを有することを特徴とする受信機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は入力信号を2つの増幅器を用いて自動的に利得を制御するAGC (automatic gain control) 回路を有する受信機に関し、特にその最適な利得の制御をデジタル計算処理もしくはアナログ回路で信号処理することによって行う受信機に関する。

## 【0002】

【従来の技術】AGC回路はCATV (ケーブルテレビジョン) のデジタル復調を行う受信機などにおいて、受信した入力信号のレベルを自動的に調整するために使用されている。図9は従来のAGC回路を含む受信機のブロック図である。

【0003】チューナ43はRF入力信号から希望するチャンネルの信号を選択し、IF信号 (中間周波数信号) に変換する。チューナ43は自動利得制御を行うRF AGC増幅器を含んでいる。フィルタ44は中間周波

10

20

30

40

50

数の成分のみを通過させる。中間周波数増幅器（IFAGC増幅器）45はフィルタ44より出力されるIF信号の自動利得制御を行う。

【0004】ミキサ47は増幅器45で増幅されたIF信号と局部発振器48より出力される一定の周波数信号を混合し、ベースバンド信号を出力する。増幅器49はミキサ47より出力されるベースバンド信号を増幅する。A/Dコンバータ50は増幅器49で増幅されたベースバンド信号をデジタル信号に変換する。

【0005】デジタル復調IC51はA/Dコンバータ50でデジタル信号に変換されたベースバンド信号の復調を行う。デジタル復調IC51は自動利得制御を行うために、内部にベースバンド信号から入力信号のレベルを検出するレベル検出部52と、レベル検出部52で検出されたベースバンド信号のレベルをアナログ信号に変換するD/Aコンバータ53とを有する。

【0006】AGC制御回路46はD/Aコンバータ53でアナログ信号に変換された入力信号のレベルを入力して、利得制御のためのコントロール信号をチューナ43と、IFAGC増幅器45にそれぞれ送る。このような回路によるフィードバック制御によって自動利得制御が行われる。

【0007】AGC制御回路46の2つの従来例を図10と図11に示す。図10において、デジタル復調IC51から送られてくるアナログの信号は抵抗58を介してCMOS演算増幅器56の非反転入力端子（+）に入力される。CMOS演算増幅器56の反転入力端子（-）には一定電圧Vrefが電圧源57から入力される。

【0008】CMOS演算増幅器56の出力端子と非反転入力端子（+）は抵抗55を介して接続されている。CMOS演算増幅器56の出力端子より出力される信号は抵抗54を介してコントロール信号RFAGCとして、チューナ43（図9参照）へ利得制御のために供給される。また、CMOS演算増幅器56の非反転入力端子（+）からコントロール信号IFAGCがIFAGC増幅器45（図9参照）に供給される。

【0009】図10に示すAGC制御回路の制御は入力信号が弱い場合、RFAGC増幅器の利得を最大にした状態で、IFAGC増幅器45の利得を制御する。一方、入力信号が強い場合、IFAGC増幅器45の利得を固定し、RFAGC増幅器の利得を制御する。このような切り替えは入力信号のレベルを示すデジタル復調IC51からの信号と一定電圧57とがCMOS演算増幅器56に入力されることによって行われる。

【0010】デジタル復調IC51から入力される入力信号のレベルを示す信号が一定電圧Vrefより低いときには、コントロール信号RFAGCが最小となり、これによりRFAGC増幅器の利得が最大となる。デジタル復調IC51からの信号がコントロール信号IFAGC

CとしてIFAGC増幅器45に供給される。一方、入力信号のレベルを示す信号が一定電圧57より高いときには、コントロール信号IFAGCは一定の電圧（Vref）となる。デジタル復調IC51からの信号が抵抗54、55の値によって定まる利得で増幅されてコントロール信号RFAGCとしてRFAGC増幅器に供給される。

【0011】次に、図11はAGC制御回路46の別例である。デジタル復調IC51からの入力信号のレベルを示す信号はそのままコントロール信号RFAGCとして出力する。そして、入力信号のレベルを示す信号を直列に接続された抵抗59と抵抗60で分圧してコントロール信号IFAGCを出力する。

【0012】

【発明が解決しようとする課題】RFAGCとIFAGCの特性は条件によって異なるが、図11に示すAGC制御回路は入力信号が弱い場合にはRFAGC増幅器の利得が最大にはならず、雑音指数特性が悪くなるという問題があった。一方、図10に示すAGC制御回路は入力信号が弱い場合に、RFAGC増幅器の利得を最大とできるようにコントロール信号RFAGCを出力することができるが、切り替えを与える一定電圧57を生産時に調整する必要があり、さらに制御の安定性にも問題があった。

【0013】本発明は上記課題を解決するものであり、入力信号が小さいときでも雑音指数特性が良い自動利得制御ができるようにし、また無調整で簡単に制御できることを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1では、デジタル放送のRF信号を増幅するRFAGC増幅器を内蔵し希望するチャンネルを選択してIF信号に変換するチューナと、前記IF信号を増幅するIFAGC増幅器と、前記IFAGC増幅器で増幅された信号を一定周波数の信号と混合してベースバンド信号に変換するミキサと、前記ベースバンド信号をA/D変換するA/Dコンバータと、前記A/Dコンバータより出力される前記ベースバンド信号をデジタル復調するデジタル復調処理回路とを備えた受信機において、前記デジタル復調処理回路は前記ベースバンド信号のレベルを検出するレベル検出部と、前記RFAGC増幅器の利得と前記IFAGC増幅器の利得をそれぞれ独立に変化させて前記ベースバンド信号をデジタル復調できる状態に自動的に設定する演算回路とを備えるようにしている。

【0015】このような構成によると、受信機は受信した信号をデジタル復調処理回路でデジタル復調できるように自動的にRFAGC増幅器とIFAGC増幅器の利得を設定する。その際にデジタル復調処理回路では演算回路によってRFAGC増幅器の利得とIFAGC増幅

器の利得をそれぞれ独立に変化させ、レベル検出部でレベル検出を行うことによって自動的に利得の設定を行う。

【0016】また、本発明の請求項2では、請求項1の受信機において、前記演算回路は前記R F A G C増幅器の利得と前記I F A G C増幅器の利得の一方を可変領域の一端に固定し、他方を一端から他端に向かって変化させ、他端に達しても前記デジタル復調処理回路が前記ベースバンド信号をデジタル復調しえないときは、前記他方を他端に固定したまま前記一方を一端から他端に向かって変化させるように制御を切り替えて前記ベースバンド信号をデジタル復調できる状態に自動的に設定するようにしている。

【0017】このような構成によると、受信機は例えばR F A G C増幅器の利得とI F A G C増幅器の利得とともに最小としてから、まずR F A G C増幅器の利得を高くしていく。その後、R F A G C増幅器の利得が最大となってもデジタル復調できる状態にならないときは、R F A G C増幅器の利得を最大に固定したままI F A G C増幅器の利得を最小から最大まで変化させる制御によってデジタル復調できる状態に設定する。

【0018】また、本発明の請求項3では、請求項1の受信機において、制御の切り替えの基準利得となる切り替え点を各チャンネルごとに記憶領域に記憶しておき、前記演算回路は受信チャンネルの切り替え点を前記記憶領域より読み取り、前記I F A G C増幅器の利得と前記R F A G C増幅器の利得を前記切り替え点に設定し、そのときの前記レベル検出部で検出された前記ベースバンド信号のレベルと前記切り替え点での利得における前記ベースバンド信号の本来のレベルに対応する基準レベルを比較して、その比較結果に応じてR F A G C増幅器とI F A G C増幅器の利得のどちらか一方の利得を最大又は最小に固定し、その後は他方の利得を変化させて前記ベースバンド信号をデジタル復調できる状態に自動的に設定するようにしている。

【0019】このような構成によると、チャンネルの切り替えが行われた直後等ではまず演算回路が記憶領域より受信チャンネルの切り替え点を読み取り、R F A G C増幅器の利得とI F A G C増幅器の利得を切り替え点に設定する。そして、デジタル復調処理回路に入力されるベースバンド信号のレベルと、その切り替え点での利得におけるベースバンド信号の本来のレベルに対応する基準レベルを比較する。検出されたベースバンド信号のレベルが基準レベルよりも大きいときにはI F A G C増幅器の利得を最小に固定したままR F A G C増幅器の利得を変化させ、一方、ベースバンド信号のレベルが基準レベルよりも小さいときにはR F A G C増幅器の利得を最大に固定したままI F A G C増幅器の利得を変化させる制御によって利得の自動設定を行う。

【0020】また、本発明の請求項4では、請求項3の

受信機において、前記演算回路が前記レベル検出部で検出された前記ベースバンド信号のレベルと前記基準レベルを比較した結果によって利得を可変する第1の利得コントロール信号と利得を固定する第2の利得コントロール信号を出力するとともに前記第1の利得コントロール信号と前記第2の利得コントロール信号をD/A変換するD/Aコンバータと、D/A変換された前記第1の利得コントロール信号を前記R F A G C増幅器に出力しD/A変換された前記第2の利得コントロール信号をI F A G C増幅器に出力するか、D/A変換された前記第1の利得コントロール信号を前記I F A G C増幅器に出力しD/A変換された前記第2の利得コントロール信号をR F A G C増幅器に出力するかを前記演算回路の制御によって切り替えるスイッチとを備えるようにしている。

【0021】このような構成によると、演算回路は第1の利得コントロール信号と第2の利得コントロール信号を出力する。第1の利得コントロール信号は利得を可変し、第2の利得コントロール信号は利得を固定するので、第1の利得コントロール信号と第2の利得コントロール信号を1台のD/AコンバータでD/A変換することができる。そして、スイッチがD/AコンバータでD/A変換された第1のコントロール信号をR F A G C増幅器に出力しD/A変換された第2のコントロール信号をI F A G C増幅器に出力するか、第1のコントロール信号をI F A G C増幅器に出力し第2のコントロール信号をI F A G C増幅器に出力するかを演算回路の制御によって切り替えるので、R F A G C増幅器とI F A G C増幅器の利得を一方を固定したまま他方を変化させて自動的に利得を設定することができる。

【0022】また、本発明の請求項5では、デジタル放送のR F信号を増幅するR F A G C増幅器を内蔵し希望するチャンネルを選択してI F信号に変換するチューナと、前記I F信号を増幅するI F A G C増幅器と、前記I F A G C増幅器で増幅された信号を一定周波数の信号と混合してベースバンド信号に変換するミキサと、前記ベースバンド信号をA/D変換するA/Dコンバータと、前記A/Dコンバータより出力される前記ベースバンド信号をデジタル復調するデジタル復調処理回路とを備えた受信機において、前記デジタル復調処理回路は前記ベースバンド信号のレベルを検出してデジタルの検出結果を出力するレベル検出部と、前記検出結果をD/A変換するD/Aコンバータとを備え、前記D/Aコンバータより出力されるアナログ信号を処理して前記R F A G C増幅器の利得と前記I F A G C増幅器の利得の一方を変化させ他方を固定する制御を行うアナログ回路を有し、前記アナログ回路は、前記アナログ信号と第1の一定電圧との差を増幅して前記第1の一定電圧に加える第1の増幅回路と、前記第1の増幅回路の出力の低域の周波数成分のみを通過させるローパスフィルタと、前記ローパスフィルタの出力と前記第1の一定電圧よりも高い

第2の一定電圧との差を前記第1の増幅回路の利得よりも高い利得で増幅して前記第2の一定電圧に加えて前記R F A G C増幅器の利得を制御するコントロール信号を出力する第2の増幅回路と、前記ローパスフィルタの出力と前記第1の一定電圧よりも低い第3の一定電圧との差を前記第1の増幅回路の利得よりも高い利得で増幅して前記第3の一定電圧に加えて前記I F A G C増幅器の利得を制御するコントロール信号を出力する第3の増幅回路とを有するようにしている。

【0023】このような構成によると、デジタル復調処理回路はベースバンド信号のレベルを検出して、その結果をD/A変換して一系統のアナログ信号をするものであっても、アナログ回路がデジタル復調処理回路からのアナログ信号をアナログ処理することによって受信機はR F A G C増幅器の利得とI F A G C増幅器の利得の一方を固定し、他方を利得コントロール信号に応じて変化させるように制御を行う。

【0024】また、アナログ回路が第1の増幅回路でアナログ信号と切り替え点となる第1の一定電圧との差を増幅する。そして、第1の増幅回路の出力をローパスフィルタが低周波数成分のみ通過させる。第2の増幅回路がローパスフィルタの出力と第2の一定電圧の差を第1の増幅回路の利得よりも高い利得で増幅する。また、第3の増幅回路がローパスフィルタの出力と第3の一定電圧の差を第1の増幅回路の利得よりも高い利得で増幅する。これにより、第2の増幅回路と第3の増幅回路はアナログ信号に対して出力が異なるようになるので、R F A G C増幅器の利得と、I F A G C増幅器の利得をそれぞれ独立して制御できる。

【0025】

【発明の実施の形態】<第1の実施形態>以下、本発明の実施形態について説明する。図1は本発明の第1の実施形態の受信機のブロック図である。図1において、チューナ1はR F入力信号から希望するチャンネルの信号を選択し、I F信号に変換する。チューナ1は自動利得制御を行うR F A G C増幅器を含んでいる。フィルタ2は中間周波数の成分のみを通過させる。中間周波数増幅器(I F A G C回路)3はフィルタ2より出力されるI F信号の自動利得制御を行う。

【0026】ミキサ4はI F A G C増幅器3で増幅したI F信号と発振器5より出力される一定の周波数信号を混合し、ベースバンド信号を出力する。増幅器6はミキサ4より出力されるベースバンド信号を増幅する。A/Dコンバータ7は増幅器6で増幅されたベースバンド信号をデジタル信号に変換する。デジタル復調I C(デジタル復調処理回路)8はA/Dコンバータ7でデジタル信号に変換されたベースバンド信号を復調する。デジタル復調I C8は例えばQ A M(Quadrature Amplitude Modulation)復調するデジタル復調処理回路である。デジタル復調I C8は自動利得制御を行うA G C回路と、

A G C回路で利得が制御された信号を復調する復調回路70を含んでいる。

【0027】A G C回路はレベル検出部9と演算回路10と2つのD/Aコンバータ11、12とから成る。レベル検出部9はベースバンド信号のレベルを検出する。演算回路10はR F A G C増幅器の利得とI F A G C増幅器3の利得をそれぞれ独立して制御する。演算回路10はC P U(Central Processing Unit)等で構成されている。

【0028】D/Aコンバータ11、12は演算回路10より出力されるコントロール信号をアナログ信号に変換する。D/Aコンバータ11はI F A G C増幅器3の利得を制御するコントロール信号をI F A G C増幅器3に供給する。D/Aコンバータ12はR F A G C増幅器の利得を制御するコントロール信号をチューナ1に供給する。このようなフィードバック制御によって自動利得制御が行われる。

【0029】ここで、R F A G C増幅器とI F A G C増幅器3はD/Aコンバータ11、12から与えられるA G C電圧が大きいとき利得が大きく、A G C電圧が小さいとき利得が小さくなるものとする。

【0030】入力信号を受信した初期の段階や希望するチャンネルに切り替えた直後の段階で演算回路10は図2に従った処理を行う。まず、ステップS1で演算回路10はD/Aコンバータ11と12から出力されるA G C電圧がそれぞれ最小になるようなデジタル値をD/Aコンバータ11と12に出力する。これによって、R F A G C増幅器とI F A G C増幅器3の利得は最小となる。

【0031】次に、ステップS2でこの状態でD/Aコンバータ12の出力のみ少し大きくなるようにD/Aコンバータ12に与えるデジタル値を変える。そして、ステップS3でA G Cループが閉じたか否か判定する。I C8への入力信号がI C8の復調回路70で復調できる状態になったときはステップS9に進みA G Cループが閉じたと判定し、ステップS10で各A G C信号をD/A変換して出力させる。このとき、レベル検出部9の出力値に応じたデジタル値がD/Aコンバータ11、12へ与えられ、これらのデジタル値をD/A変換したA G C信号がR F A G C増幅器、I F A G C増幅器3にそれぞれ加えられる。これにより、入力信号のレベル変動に応じてA G C回路は自動利得制御を行う。

【0032】ステップS3でA G Cループが閉じていないときは、A G Cループが閉じるまでステップS2でD/Aコンバータ12への入力を大きくしてR F A G C電圧を大きくしていく。ステップS4でD/Aコンバータ12から出力されるA G C電圧が最大値になるまで、大きくしてもA G Cループが閉じないときは、ステップS5でI F A G C用のD/Aコンバータ11から出力されるA G C電圧を大きくする。そして、ステップS6でA

GCループが閉じるか否か判定しながらステップS5でIF用AGC電圧を大きくする。ステップS7でD/Aコンバータ11から出力されるAGC電圧が最大値になるまで、大きくしてもAGCループが閉じないときは、ステップS8で信号が存在しないと判定する。以上の動作はチャンネル切り換え毎に行われる。ステップS9でAGCループが閉じた後は、ステップS10でレベル検出部9で検出されたベースバンド信号のレベルに応じてRFAGC信号とIFAGC信号を出力してRFAGC増幅器とIFAGC増幅器の利得を制御する。

【0033】 以上のように演算回路10は受信入力信号の大きさに関係なく強制的にD/Aコンバータ11、12へのデジタル値を決める機能と、受信入力信号の大きさに応じたデジタル値をD/Aコンバータ11、12に与える機能とを有する。

【0034】 なお、チューナ1は選択するチャンネルによって増幅度がばらつくことがあるが、RFAGC増幅器の利得とIFAGC増幅器3の利得の最大値はスペックで規定されている弱入力レベルでそのようなチャンネル間のばらつきを含めても十分に増幅できるだけの利得に設定しておく。

【0035】 このような処理によって、入力信号が大きい場合にはRFAGC増幅器の利得を大きくするだけでAGCループは閉じることになる。一方、入力信号のレベルが弱いときには、必ずRFAGC増幅器は最大利得となるような自動利得制御となっており、雑音指数特性が良くチャンネル間のばらつきに依存しない自動利得制御を実現している。また、図10に示す上記従来のAGC回路では一定電圧57の調整が必要であったが、本実施形態では演算回路10がRFAGC増幅器の利得の最大値を切り替え点にしてIFAGC増幅器3の利得を固定しRFAGC増幅器の利得を変化させる処理からIFAGC増幅器3の利得を変化させRFAGC増幅器の利得を固定する処理に切り替えるようになっているのでそのような調整は不要となっている。

【0036】 また、この処理手順の変形例としてIFAGC増幅器3とRFAGC増幅器が最大利得を持つときを初期状態としても実施可能である。この変形例の処理手順を図3に示す。まず、ステップS11で演算回路10はD/Aコンバータ11と12から出力されるAGC電圧がそれぞれ最大になるようなデジタル値をD/Aコンバータ11と12に出力する。これによって、RFAGC増幅器とIFAGC増幅器3の利得は最大となる。

【0037】 次に、ステップS12でこの状態でD/Aコンバータ11の出力のみ少し小さくなるようにD/Aコンバータ11に与えるデジタル値を変える。そして、ステップS13でAGCループが閉じたか否か判定する。IC8への入力信号がIC8の復調回路70で復調できる状態になったときはステップS19に進みAGCループが閉じたと判定し、ステップS20で各AGC信

号をD/A変換して出力させる。このとき、レベル検出部9の出力値に応じたデジタル値がD/Aコンバータ11、12へ与えられ、これらのデジタル値をD/A変換したAGC信号がRFAGC増幅器、IFAGC増幅器3にそれぞれ加えられる。

【0038】 ステップS13でAGCループが閉じていないときは、AGCループが閉じるまでステップS12でD/Aコンバータ11への入力を小さくしてRFAGC電圧を小さくしていく。ステップS14でD/Aコンバータ11から出力されるAGC電圧が最小値になるまで、小さくしてもAGCループが閉じないときは、ステップS15でRFAGC用のD/Aコンバータ12から出力されるAGC電圧を小さくする。そして、ステップS16でAGCループが閉じるか否か判定しながらステップS15でRF用AGC電圧を小さくする。ステップS17でD/Aコンバータ12から出力されるAGC電圧が最小値になるまで、小さくしてもAGCループが閉じないときは、ステップS18で信号が存在しないと判定する。以上の動作はチャンネル切り換え毎に行われる。この処理手順に従っても図2に示す処理と結果的に同等となる自動利得制御が行われる。

【0039】 以上のように、本実施形態ではデジタル復調IC8にAGC回路を含み、AGC回路の演算回路10でIFAGC増幅器3の利得を制御するコントロール信号と、RFAGC増幅器の利得を制御するコントロール信号をそれぞれ独立して変化させてシーケンシャルに自動利得制御をしている。さらに、デジタル復調IC8の内部で、D/A変換してから2つのコントロール信号を出力しており、外部に回路を設ける必要もない。

【0040】 <第2の実施形態>次に、本発明の第2の実施形態について説明する。図4は第2の実施形態の受信機のブロック図である。図4において、チューナ13はRF入力信号のチャンネルを選択し、IF信号に変換する。チューナ13は自動利得制御を行うRFAGC増幅器を含んでいる。フィルタ14は信号の中間周波数の成分のみ通過させる。中間周波数増幅器（IFAGC増幅器）15はフィルタ14より出力されるIF信号の自動利得制御を行う。

【0041】 ミキサ16はIFAGC増幅器15で増幅されたIF信号と発振器17より出力される一定の周波数信号を混合し、ベースバンド信号を出力する。増幅器18はミキサ16より出力されるベースバンド信号を増幅する。A/Dコンバータ19は増幅器18で増幅されたベースバンド信号をデジタル信号に変換する。デジタル復調IC（デジタル復調処理回路）20はA/Dコンバータ19でデジタル信号に変換されたベースバンド信号を復調する。デジタル復調IC20は自動利得制御を行うAGC回路と、AGC回路で自動利得制御された信号を復調する復調回路70を含んでいる。

【0042】 AGC回路はレベル検出部21と演算回路



22と記憶領域23とD/Aコンバータ24とスイッチ25とから成る。レベル検出部21はベースバンド信号のレベルを検出する。演算回路22はRFAGC増幅器の利得又はIFAGC増幅器15の利得の一方を可変する第1のコントロール信号と、他方を固定する第2のコントロール信号を出力する。D/Aコンバータ24は2つのコントロール信号をアナログ信号に変換する。

【0043】2つのコントロール信号のうち一方は一定の電圧であるので、1つのD/Aコンバータ24で2つのコントロール信号をD/A変換したアナログ信号を出力することができる。そして、スイッチ25は演算回路22の制御によってD/Aコンバータ24より出力されるアナログ信号をRFAGC増幅器とIFAGC増幅器15に切り替えて供給し、RFAGC増幅器とIFAGC増幅器15の利得の一方を固定し、他方を変化させる。このとき、RFAGC増幅器の利得とIFAGC増幅器15の利得が変化するのは利得が最小から最大まで変化するので、演算回路22より出力されるコントロール信号は共通できる。

【0044】記憶領域23はチャンネル毎のRFAGC増幅器が最大値となる切り替え点をあらかじめ記憶している。これにより、AGC回路は利得のコントロールが簡単となる。スイッチ25はD/Aコンバータ24より出力される利得を可変するコントロール信号をD/A変換した電圧をRFAGC増幅器とIFAGC増幅器15の一方に出力し、他方には利得を固定するコントロール信号をD/A変換した最大値又は最小値のいずれかの固定レベルを出力する。

【0045】ここで、RFAGC増幅器とIFAGC増幅器3はD/Aコンバータ11、12から与えられるAGC電圧が大きいとき利得が大きく、AGC電圧が小さいとき利得が小さくなるものとする。

【0046】入力信号を受信した初期の段階や希望するチャンネルに切り替えた直後の段階で演算回路22は図5に従った処理を行う。まず、ステップS22で演算回路22は希望するチャンネルの切り替え点を記憶領域23から読み取り、RFAGC増幅器の利得とIFAGC増幅器の利得を切り替え点に設定する。この切り替え点によって、RFAGC用のRFAGC電圧が最大となり、IFAGC用のIFAGC電圧が最小となる。そして、スイッチ25は利得を可変するD/Aコンバータ24の出力をRFAGC増幅器に出力し、利得を固定するD/Aコンバータ24の最小値の出力をIFAGC増幅器15に出力する。そして、ステップS23でレベル検出部21からの入力により入力信号の大きさを電圧に変換する。入力信号の大きさは二乗平均値で求める。

【0047】そして、ステップS24で入力信号の大きさと切り替え点に対応する本来の入力信号のレベルに対応する基準レベルを比較する。基準レベルは演算回路22において希望するチャンネルと切り替え点から演算に

より求められ、レジスタ等で一時的に記憶される。入力信号の大きさが基準レベルより大きい場合にはステップS25に進み、演算回路22はRFAGC用のAGC電圧が最小となるようにデジタル値を出力する。そして、スイッチ25は演算回路22により利得を変化させるD/Aコンバータ24のアナログ信号をRFAGC増幅器に出力するように切り替わり、IFAGC増幅器15へは最小値のIFAGC電圧を出力する。

【0048】次に、ステップS26でRFAGC電圧を少し大きくなるようにD/Aコンバータ24に与えるデジタル値を変える。そして、ステップS27でAGCループが閉じたか否か判定する。IC20への入力信号が復調回路70で復調できる状態になったときはステップS29に進みAGCループが閉じたと判定し、ステップS30でIFAGC電圧を固定し、レベル検出部21の出力値に応じたデジタル値がD/Aコンバータ24に与えられるので、このデジタル値をD/A変換したAGC信号がスイッチ25からRFAGC増幅器に与えられる。これにより、入力信号のレベル変動に応じてAGC回路は自動利得制御を行う。

【0049】ステップS27でAGCループが閉じないときは、ステップS28でRFAGC電圧が最大値（切り替え点）であると判定されるまで、ステップS26でRFAGC電圧を大きくしていく。ステップS28でRFAGC電圧が最大値となるまで大きくしてもAGCループが閉じないときは、ステップS24で再度入力信号の大きさが基準レベルより大きいのか否か判定する。

【0050】ステップS24で入力信号の大きさが基準レベルより大きくない場合には、ステップS31に進み、演算回路22はIFAGC電圧を少し大きくするようにデジタル値を変える。このとき、スイッチ25は利得を可変するD/Aコンバータ24の出力をIFAGC増幅器15に与え、RFAGC電圧は最大値となるようにする。そして、ステップS32でAGCループが閉じるか否か判定する。

【0051】AGCループが閉じたときは、ステップS35でAGCループが閉じたと判定し、ステップS36でRFAGC電圧を最大値に固定し、レベル検出部21の出力値に応じたデジタル値がD/Aコンバータ24に与えられ、このデジタル値をD/A変換したAGC信号がスイッチ25からIFAGC増幅器15に与えられる。これにより、入力信号に応じてAGC回路は自動利得制御を行う。

【0052】ステップS32でAGCループが閉じないときは、ステップS33でIFAGC電圧が最大値であると判定されるまで、ステップS31でIFAGC電圧を大きくしていく。ステップS33でIFAGC電圧を最大値となるまで大きくしてもAGCループが閉じないときは、ステップS34で信号が存在しないと判定される。以上の動作はチャンネル切り替え毎に行われる。以

上のように演算回路22は受信入力信号の大きさによって基準レベルと比較して強制的にデジタル値を決める機能と、受信入力信号の大きさに応じたデジタル値をD/Aコンバータ24に与える機能とを有する。

【0053】このような処理によって、入力信号が大きい場合にはRFAGC増幅器の利得を大きくするだけでAGCループは閉じることになる。一方、入力信号のレベルが弱いときには、必ずRFAGC増幅器は最大利得となるような自動利得制御となっている。また、本実施形態では入力信号と基準電圧の大小の判定をもとにスイッチ25で切り替えてコントロール信号を出力するので、1つのD/Aコンバータ24でRFAGC増幅器とIFAGC増幅器15の利得の制御を実現できる。

【0054】そして、基準レベルをチャンネルごとに設定できるのでチャンネル間のばらつきを補正して特性の良い制御ができるようになっていく。また、チャンネルの切り替えにともなって、本処理が実行されるが、まず記憶領域23から読み込まれた切り替え点で利得を設定してRFAGC増幅器の利得とIFAGC増幅器15の利得のいずれを変化させるか判断しているので、上記第1の実施形態の処理(図2、図3)に比べて処理速度が向上する。

【0055】また、演算回路22の処理手順の変形例を図6に示す。まずステップS41で演算回路22は希望するチャンネルの切り替え点を記憶領域23から読み取り、RFAGC増幅器の利得とIFAGC増幅器の利得を切り替え点に設定する。そして、ステップS42で入力信号の大きさを電圧に変換する。入力信号の大きさは二乗平均値で求める。

【0056】そして、ステップS43で入力信号の大きさと切り替え点に対応する本来の入力信号のレベルに対応する基準レベルを比較する。入力信号の大きさが基準レベルよりも大きい場合にはステップS44に進み、演算回路22はIFAGCの利得を固定したままRFAGC電圧を少し小さくするようにデジタル値を変える。このとき、スイッチ25はD/Aコンバータ24の利得を変化させるためのアナログ信号をRFAGC増幅器に与え、IFAGC電圧は最小値となるようにする。

【0057】そして、ステップS45でAGCループが閉じるか否か判定する。AGCループが閉じたときは、ステップS48でAGCループが閉じたと判定し、ステップS49でIFAGC電圧を最小値に固定し、レベル検出部21の出力値に応じたデジタル値がD/Aコンバータ24に与えられるので、このデジタル値をD/A変換したAGC信号がスイッチ25からRFAGC増幅器に与えられる。ステップS45でAGCループが閉じないときは、ステップS46でRFAGC電圧が最小値と判断されるまでRFAGC電圧を小さくしていく。ステップS46でRFAGC電圧を最小値となるまで小さくしてもAGCループが閉じないときは、ステップS47

で信号が存在しないと判定される。

【0058】ステップS43で入力信号の大きさが基準レベルよりも大きくない場合にはステップS50に進み、演算回路22はIFAGC用のAGC電圧が最大となるようにデジタル値を出力するように切り替え、IFAGC増幅器15へはIFAGC電圧の最大値を出力する。このとき、RFAGC電圧は最大値にする。

【0059】次に、ステップS51でIFAGC電圧を少し小さくするようにD/Aコンバータ24に与えるデジタル値を変える。そして、ステップS52でAGCループが閉じたか否か判定する。AGCループが閉じたときにはステップS54に進みAGCループが閉じたと判定し、ステップS55でRFAGC電圧を固定し、レベル検出部21の出力値に応じたデジタル値がD/Aコンバータ24に与えられるので、このデジタル値をD/A変換したAGC信号がスイッチ25からIFAGC増幅器15に与えられる。

【0060】ステップS52でAGCループが閉じないときは、ステップS53でIFAGC電圧が最小値であると判定されるまで、ステップS51でIFAGC電圧を小さくしていく。ステップS53でIFAGC電圧が最小値であると判定したときは再度ステップS43で再度入力信号の大きさが基準レベルよりも大きいのか否か判定する。

【0061】<第3の実施形態>次に、本発明の第3の実施形態について説明する。図9に示すように一系統のAGC出力しか持っていないデジタル復調IC51を用いた場合であっても、AGC制御回路46を構成することによってデジタル復調IC51から出力されるAGCコントロール信号を処理して上記第1の実施形態又は第2の実施形態と同等の効果を得ることができる。なお、第3の実施形態ではデジタル復調IC51は図9の場合と同じQAM復調ICである。

【0062】ここで、RFAGC増幅器43とIFAGC増幅器45(図9参照)は図7に示すアナログ回路で構成されたAGC制御回路から与えられる電圧が大きいときに利得が大きく、電圧が小さいときに利得が小さくなるものとする。

【0063】図7において、デジタル復調IC51から送られてくるアナログのコントロール信号は抵抗値Rの抵抗26を介してCMOS演算増幅器28の反転入力端子(-)に入力される。

【0064】CMOS演算増幅器28の非反転入力端子(+)には一定電圧 $V_{cc}/2$ が電圧源30から抵抗値Rの抵抗29を介して入力される。ただし、 $V_{cc}$ はAGC制御回路の電源電圧である。CMOS演算増幅器28の出力端子と反転入力端子(-)は抵抗値Rの抵抗27を介して接続されている。CMOS演算増幅器28と抵抗26、27、29と電圧源30は第1の増幅回路を構成している。CMOS演算増幅器28の出力はローバ

スフィルタ45で低周波成分のみ通過させられる。

【0065】ローパスフィルタ45は抵抗31とキャパシタ32とから成る。抵抗31にはCMOS演算増幅器28より出力される信号が通過する。キャパシタ32は一端がグラントレベルに接続され、他端が抵抗31の信号の通過した側に接続されている。ローパスフィルタ45の出力はIFAGC側とRFAGC側に分けられる。

【0066】IFAGC側では、ローパスフィルタ45の出力が抵抗値Rの抵抗33を介してCMOS演算増幅器35の反転入力端子(−)に入力される。CMOS演算増幅器35の非反転入力端子(+)には一定電圧 $V_{cc}/3$ が電圧源37から抵抗値Rの抵抗36を介して入力される。CMOS演算増幅器35の出力端子と反転入力端子(−)は抵抗値2Rの抵抗34を介して接続されている。そして、CMOS演算増幅器35の出力端子よりコントロール信号IFAGCがIFAGC増幅器へ出力される。CMOS演算増幅器35と抵抗33、34、36と電圧源37は第3の増幅回路を構成している。

【0067】RFAGC側では、ローパスフィルタ45の出力が抵抗値Rの抵抗38を介してCMOS演算増幅器40の反転入力端子(−)に入力される。CMOS演算増幅器40の非反転入力端子(+)には一定電圧 $2V_{cc}/3$ が電圧源42から抵抗値Rの抵抗41を介して入力される。CMOS演算増幅器40の出力端子と反転入力端子(−)は抵抗値2Rの抵抗39を介して接続されている。CMOS演算増幅器40の出力端子よりRFAGC増幅器の利得を制御するためのコントロール信号RFAGCが出力される。CMOS演算増幅器40と抵抗38、39、41と電圧源42は第2の増幅回路を構成している。

【0068】この図7に示す回路では、演算増幅器28等から成る第1の増幅回路はIC51からのコントロール信号と一定電圧 $V_{cc}/2$ の差を−1倍して一定電圧 $V_{cc}/2$ に加えた信号を出力する。そして、ローパスフィルタ45は第1の増幅回路より出力される信号の低周波成分のみを通過させる。

【0069】そして、演算増幅器35等から成る第3の増幅回路はローパスフィルタ45の出力と一定電圧 $V_{cc}/3$ との差を−2倍して一定電圧 $V_{cc}/3$ に加えた信号IFAGCを出力する。演算増幅器40等から成る第2の増幅回路はローパスフィルタ45の出力と一定電圧 $2V_{cc}/3$ との差を−2倍して一定電圧 $2V_{cc}/3$ に加えた信号RFAGCを出力する。ただし、図7に示すアナログ回路はグラントレベルと電源電圧 $V_{cc}$ の間で動作するので、この範囲を超えて信号IFAGC、RFAGCを出力することはできない。

【0070】これにより、例えば復調ICからのコントロール信号が $V_{cc}/4$ であるときに、第1の増幅回路の出力となる点aの電圧は $3V_{cc}/4$ となる。そして、RFAGCは $V_{cc}/2$ となり、RFAGCはグラ

ントレベルとなる。

【0071】このようにして求めた点aでの電圧、コントロール信号IFAGC、コントロール信号RFAGCの特性を図8に示す。なお、図8において横軸はIC51から出力されるコントロール信号を示し、縦軸は第1の増幅回路、第2の増幅回路、第3の増幅回路の各出力を示す。第1の増幅回路の出力点aの電圧はIC51からのコントロール信号が0(グラントレベル)のときに $V_{cc}$ となる点80とIC51からのコントロール信号が $V_{cc}$ のときに0となる点81を結んだ直線となる。これにより、第2の増幅回路より出力される信号RFAGCはIC51からのコントロール信号が0のとき0となる点82とIC51からのコントロール信号が $V_{cc}/2$ のときに $V_{cc}$ となる点83を結んだ直線となるが、IC51からのコントロール信号が $V_{cc}/2$ から $V_{cc}$ までの範囲Kでは信号RFAGCは飽和して電源電圧 $V_{cc}$ となる。

【0072】一方、第3の増幅回路より出力される信号IFAGCはIC51からのコントロール信号が0から $V_{cc}/2$ までの範囲Jではグラントレベルに固定された状態となり、IC51からのコントロール信号が $V_{cc}/2$ から $V_{cc}$ までの範囲Kでは、IC51からのコントロール信号が $V_{cc}/2$ のとき0となる点84とIC51からのコントロール信号が $V_{cc}$ のときに $V_{cc}$ となる点85を結んだ直線となる。

【0073】したがって、復調IC51からのコントロール信号が $0 \sim V_{cc}/2$ であるときには、アナログ回路はコントロール信号IFAGCを最小値に固定し、コントロール信号RFAGCを復調IC51からのコントロール信号に応じて $0 \sim V_{cc}$ に変化させる。そして、復調IC51からのコントロール信号が $V_{cc}/2 \sim V_{cc}$ であるときには、アナログ回路はコントロール信号IFAGCを復調IC51からのコントロール信号に応じて $0 \sim V_{cc}$ に変化させ、コントロール信号RFAGCを最大値に固定する。

【0074】このように本実施形態のアナログ回路を用いると、現在一般的に用いられている一系統のコントロール電圧を出力するデジタル復調IC51(図9参照)でも $V_{cc}/2$ を切り替え点として、コントロール信号の一方を固定し、他方を変化させる処理を行うことができる。そのため、本実施形態においても上記第1の実施形態(図1)や第2の実施形態(図4)と同様の効果が得られる。なお、電圧源30、37、42は電源電圧 $V_{cc}$ を単純に分圧したもの等でよいので、従来のAGC制御回路46(図9参照)で必要であった電圧の調整は本実施形態では不要である。

【0075】また、デジタル復調IC51(図9参照)より出力される信号が上の場合の信号にさらにインバートされているときにも同様の考え方で、図7に示す回路を用いて信号が基準レベルの大小によって一方のAGC

コントロール信号を固定し、他方のAGCコントロール信号を変化させるようにできる。

#### 【0076】

【発明の効果】以上説明したように、本発明の請求項1によれば、受信機はRFAGC増幅器とIFAGC増幅器の利得をデジタル復調処理回路に含まれる演算回路によってそれぞれ独立に変化させ、レベル検出部でレベル検出を行うことによって自動的に利得の設定を行う。そのため、入力信号のレベルが低い場合でも雑音指数特性が良く、安定して利得の制御をすることができる。

【0077】また、請求項2によれば、RFAGC増幅器とIFAGC増幅器の利得の一方を例えば最小に固定し、他方を最小から最大まで変化させる。そして、その他方が最大に達してもデジタル復調処理回路がデジタル復調できないときには、他方を最大に固定したまま一方を最小から最大まで変化させる制御を行う。このように演算回路ではシーケンシャルな制御によって利得制御が行われるので、従来生産時に必要であった電圧の調整作業が不要となる。

【0078】また、請求項3によれば、演算回路が記憶領域よりチャンネルごとの切り替え点を読み取ってRFAGC増幅器とIFAGC増幅器の利得を切り替え点に設定し、そのときレベル検出部で検出されるベースバンド信号のレベルから基準レベルを比較することによって利得の自動設定の処理を分ける。これにより、チャンネルに応じた利得制御を行うのでチューナ等で生じるチャンネル間のばらつきがないように補正することができる。また、処理を切り分けることによって処理時間の短縮にもなる。

【0079】また、請求項4によれば、演算回路が利得を変化させる第1の利得コントロール信号と利得を固定する第2の利得コントロール信号を出力する。そして、第1の利得コントロール信号と第2の利得コントロール信号は1台のD/AコンバータでD/A変換される。そして、演算回路の制御によってスイッチを切り替えてRFAGC増幅器とIFAGC増幅器の一方にD/A変換された第1の利得コントロール信号を送り、他方にD/A変換された第2の利得コントロール信号を送る。これにより、1台のD/Aコンバータで自動利得制御を行うことができるのでデジタル復調処理回路は回路規模を小さくできる。

【0080】また、請求項5によれば、デジタル復調処理回路がベースバンド信号のレベルを検出してアナログ信号に変換して出力するような現在一般的に使われている一系統のデジタル復調ICのAGCコントロール出力の場合でも、アナログ回路がその出力をアナログ信号処理することによって、RFAGC増幅器の利得とIFAGC増幅器の利得をそれぞれ独立して制御するのと同様の効果が得られる。

【0081】また、アナログ回路は3つの増幅回路を用

いて、それらの利得と入力される一定電圧をそれぞれ変化させてあるので、RFAGC増幅器とIFAGC増幅器の利得をそれぞれ独立に制御するのと同じ制御を行うことができる。さらに、このアナログ回路では生産時の電圧調整作業が不要であるので生産工程が簡略となる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態の受信機のブロック図。

【図2】 その受信機の演算回路での処理手順を示すフローチャート。

【図3】 その処理手順の変形例を示すフローチャート。

【図4】 本発明の第2の実施形態の受信機のブロック図。

【図5】 その受信機の演算回路での処理手順を示すフローチャート。

【図6】 その処理手順の変形例を示すフローチャート。

【図7】 本発明の第3の実施形態の受信機のアナログ回路の回路図。

【図8】 そのアナログ回路の出力特性図。

【図9】 従来の受信機のブロック図。

【図10】 その受信機のAGC制御回路の内部構成を示す回路図。

【図11】 そのAGC制御回路の内部構成の別例を示す回路図。

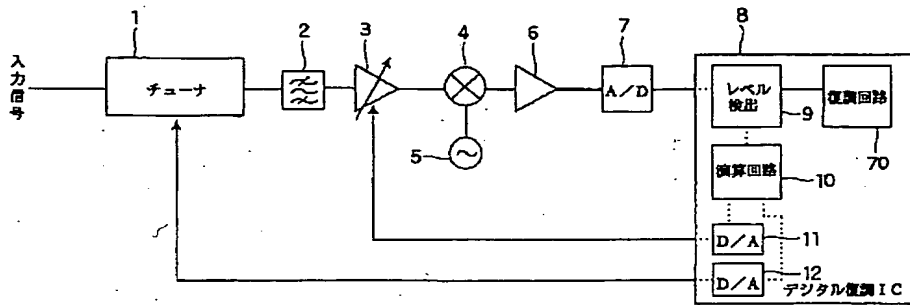
#### 【符号の説明】

- |       |                      |
|-------|----------------------|
| 1、13  | チューナ                 |
| 2、14  | フィルタ                 |
| 3、15  | 中間周波数増幅器（IFAGC増幅器）   |
| 4、16  | ミキサ                  |
| 5、17  | 発振器                  |
| 6、18  | 増幅器                  |
| 7、19  | A/Dコンバータ             |
| 8、20  | デジタル復調IC（デジタル復調処理回路） |
| 9、21  | レベル検出部               |
| 10、22 | 演算回路                 |
| 11、12 | D/Aコンバータ             |
| 23    | 記憶領域                 |
| 24    | D/Aコンバータ             |
| 25    | スイッチ                 |
| 26、27 | 抵抗                   |
| 28    | CMOS演算増幅器            |
| 29    | 抵抗                   |
| 30    | 電圧源                  |
| 31    | 抵抗                   |
| 32    | キャパシタ                |
| 33、34 | 抵抗                   |
| 35    | CMOS演算増幅器            |

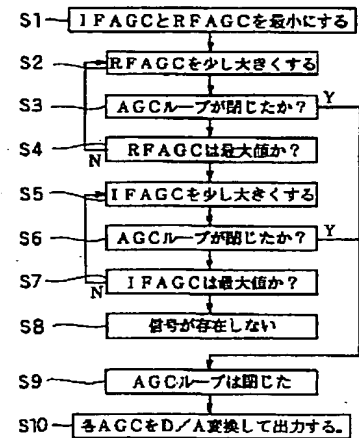
36 抵抗  
37 電圧源  
38、39 抵抗  
40 CMOS演算増幅器

41 抵抗  
42 電圧源  
45 ローパスフィルタ  
70 復調回路

【図1】

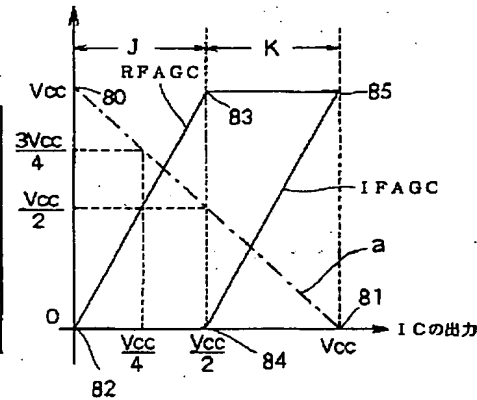
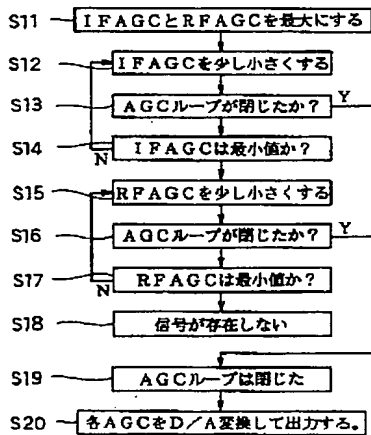


【図2】

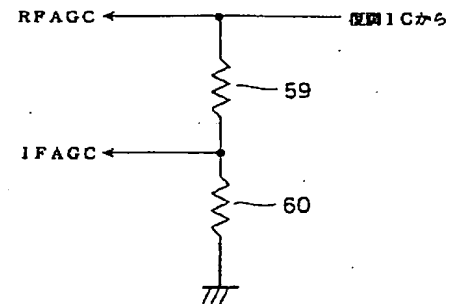


【図3】

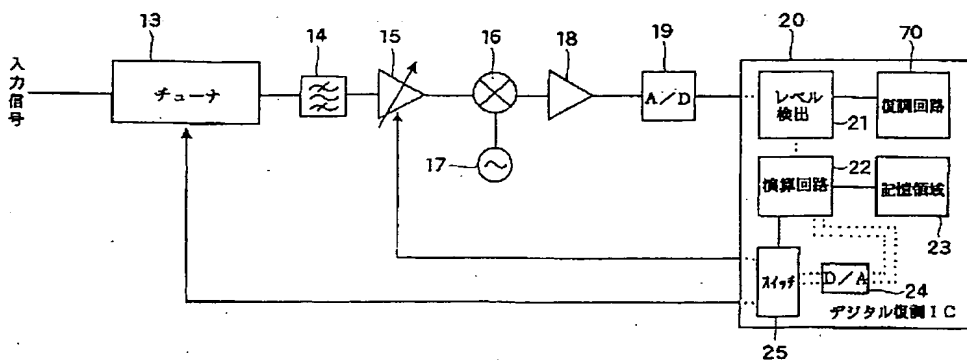
【図8】



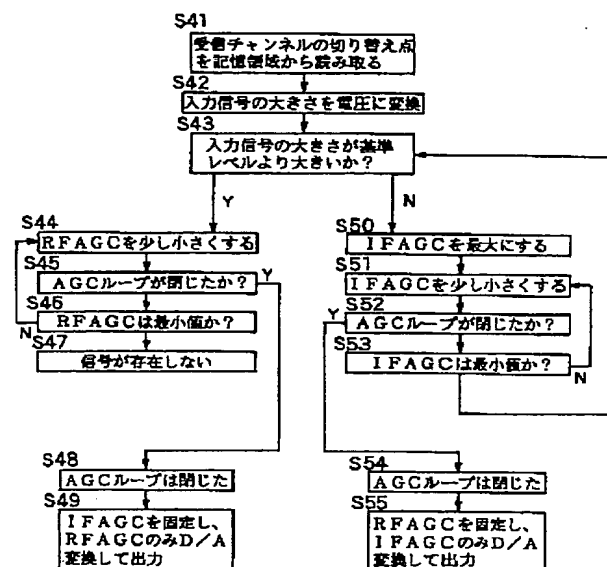
【図11】



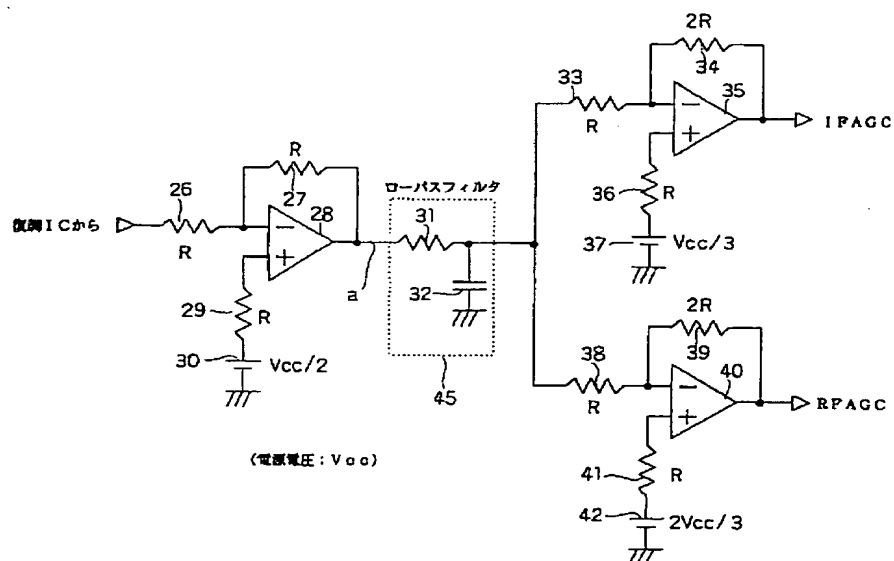
【図4】



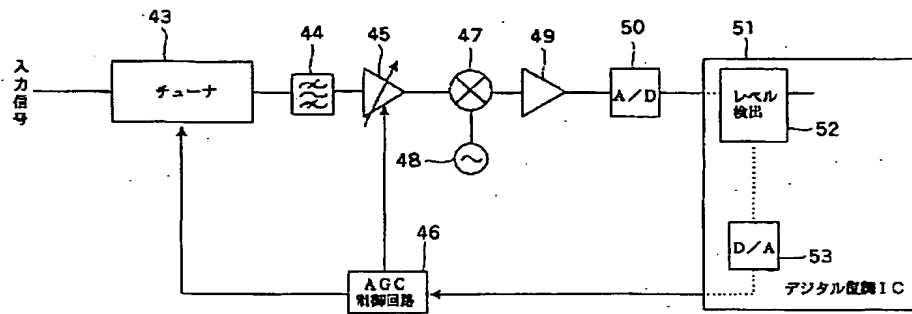
【図 6】



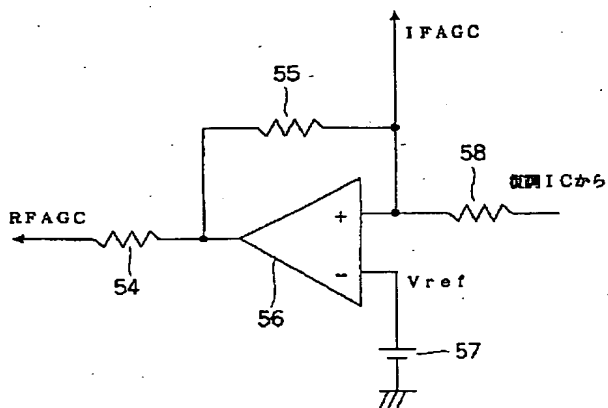
【图 7】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5J100 JA01 KA05 LA00 LA02 LA10  
 LA11 QA01 SA02  
 5K004 AA05 FH01 FH04 FH06  
 5K020 AA03 DD11 DD21 DD26 EE01  
 EE04 EE05 HH11 HH13 KK07  
 5K061 AA01 AA08 AA11 BB15 CC08  
 CC23 CC45 CC52 CD04

THIS PAGE BLANK (USPIC)